



JP2001256782

Biblio

Page 1

Drawing



## SEMICONDUCTOR DEVICE

Patent Number: JP2001256782  
Publication date: 2001-09-21  
Inventor(s): TAKEMURA RIICHIRO; FUJISAWA HIROKI; SEKIGUCHI TOMONORI  
Applicant(s): HITACHI LTD  
Requested Patent: ☒ JP2001256782  
Application Number: JP20000070135 20000314  
Priority Number(s):  
IPC Classification: G11C11/409; G11C11/401  
EC Classification:  
Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which amplification speed of a sense amplifier can be improved by reducing dependence on a data pattern of amplification speed.

**SOLUTION:** This device is an SDRAM constituted of a memory array, a row decoder, a column decoder, a row address buffer, a column address buffer, an input/output buffer, a timing signal generating circuit, a voltage generating circuit, and the like, in a sense amplifier blocks including plural sense amplifiers of the memory array, a P side common source line CSP\* (\*: 1-n) and an N side common source line CSN\* are divided for each sense amplifier SA\*, and thereby, even when data is different among sense amplifiers SA\*, a current from an adjacent sense amplifier SA\* is reduced or stopped, and common source levels of each sense amplifier SA\* are made levels corresponding to 'H' and 'L' data. Therefore, amplifying operation can be simultaneously performed in each sense amplifier SA\*.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-256782

(P2001-256782A)

(43) 公開日 平成13年9月21日 (2001.9.21)

(51) Int.Cl.<sup>7</sup>

G 1 1 C 11/409  
11/401

識別記号

F I

G 1 1 C 11/34

テームト\* (参考)

3 5 3 E 5 B 0 2 4  
3 7 1 K

審査請求 未請求 請求項の数 5 O L (全 10 頁)

(21) 出願番号 特願2000-70135(P2000-70135)

(22) 出願日 平成12年3月14日 (2000.3.14)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 竹村 理一郎

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

(72) 発明者 藤澤 宏樹

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

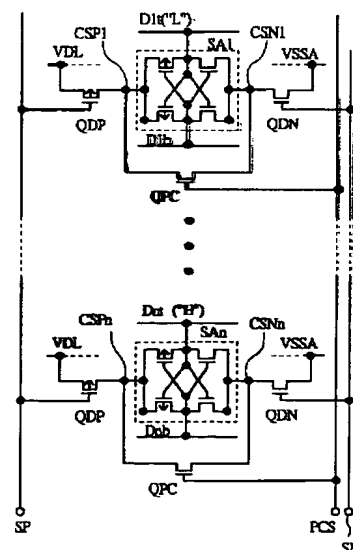
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 増幅速度のデータパターン依存性を小さくして、センスアンプの増幅速度を向上させることができる半導体装置を提供する。

【解決手段】 メモリアレイ、ロウデコーダ、カラムデコーダ、ロウアドレスバッファ、カラムアドレスバッファ、入出力バッファ、タイミング信号生成回路、電圧発生回路などから構成されるSDRAMであって、メモリアレイの複数のセンスアンプを含むセンスアンプブロックは、P側コモンソース線CSP\* (\* : 1 ~ n) およびN側コモンソース線CSN\* がセンスアンプSA\* 毎に分割され、これによってセンスアンプSA\* 間でデータが異なる場合でも、隣接するセンスアンプSA\* からの電流を低減あるいは無くし、各センスアンプSA\* のコモンソースレベルが“H”、“L”データに見合ったレベルとなるので、各センスアンプSA\* で増幅動作が同時に行われる。

図 4



CSP1 ~ n : P側コモンソース線  
CSN1 ~ n : N側コモンソース線  
SA1 ~ n : センスアンプ

**【特許請求の範囲】**

【請求項 1】 複数のワード線と複数のデータ線とを含むメモリアレイと、前記メモリアレイに隣接した複数のセンスアンプを含むセンスアンプブロックとを有する半導体装置であって、

前記センスアンプブロック内で、前記センスアンプの共通ソース線が分割されていることを特徴とする半導体装置。

【請求項 2】 複数のワード線と複数のデータ線とを含むメモリアレイと、前記メモリアレイに隣接した複数のセンスアンプを含むセンスアンプブロックとを有する半導体装置であって、

前記センスアンプブロック内で、前記センスアンプの共通ソース線が分割され、前記分割した共通ソース線単位で共通ソースショート用スイッチ MOS トランジスタが配置されていることを特徴とする半導体装置。

【請求項 3】 複数のワード線と複数のデータ線とを含むメモリアレイと、前記メモリアレイに隣接した複数のセンスアンプを含むセンスアンプブロックとを有する半導体装置であって、

前記センスアンプブロック内で、前記センスアンプの共通ソース線が分割され、前記分割した共通ソース線単位で共通ソースプリチャージ用スイッチ MOS トランジスタが配置されていることを特徴とする半導体装置。

【請求項 4】 複数のワード線と複数のデータ線とを含むメモリアレイと、前記メモリアレイに隣接した複数のセンスアンプを含むセンスアンプブロックとを有する半導体装置であって、

前記センスアンプブロック内で、前記センスアンプの共通ソース線が分割され、前記分割した共通ソース線単位毎にセンスアンプオーバードライブ用スイッチ MOS トランジスタが配置されていることを特徴とする半導体装置。

【請求項 5】 複数のワード線と複数のデータ線とを含むメモリアレイと、前記メモリアレイに隣接した複数のセンスアンプを含むセンスアンプブロックとを有する半導体装置であって、

前記センスアンプブロック内に、前記センスアンプの N 側共通ソース線を第 1 の電圧にする第 1 のスイッチ MOS トランジスタが前記センスアンプ 1 つあるいは 2 ～ 8 つに 1 つずつ配置され、前記センスアンプの P 側共通ソース線に第 2 の電圧を供給する第 2 のスイッチ MOS トランジスタが前記センスアンプ 1 つあるいは 2 ～ 8 つに 1 つずつ配置され、前記 N 側および P 側共通ソース線がセンスアンプドライバ単位で分割されていることを特徴とする半導体装置。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】 本発明は、半導体装置の記憶

回路技術に関し、特にメモリにおけるセンスアンプの増幅速度の向上に好適な半導体装置に適用して有効な技術に関する。

**【0002】**

【従来の技術】 たとえば、本発明者が検討した技術として、DRAMなどのメモリにおいては、複数のワード線と複数のデータ線とを含むメモリアレイと、このメモリアレイに隣接した複数のセンスアンプを含むセンスアンプブロックなどから構成され、このセンスアンプブロック内で共通ソース線が共通に接続され、さらにセンスアンプブロック間も接続される構成が考えられる。

【0003】 なお、このようなメモリに関する技術としては、たとえば 1994 年 11 月 5 日、株式会社培風館発行の「アドバンスド エレクトロニクス I-9 超 LSI メモリ」P161～P167 に記載される技術などが挙げられる。

**【0004】**

【発明が解決しようとする課題】 ところで、前記のような、センスアンプブロック内で共通ソース線が共通に接続され、さらにセンスアンプブロック間も接続される構成の技術について、本発明者が検討した結果、以下のようなことが明らかとなった。たとえば、センスアンプで増幅するデータパターンによって増幅速度に差が生じ、増幅速度が悪化することが考えられる。

【0005】 すなわち、前記のような構成では、たとえば多数の“H”データ中の“L”データに関して、増幅速度が悪化する問題がある。これは、“H”データを増幅しているセンスアンプからの電流が“L”データを増幅するセンスアンプ近辺のセンスドライバに流れ込むことにより、“L”データを増幅しようとするセンスアンプが動作できないことが原因である。

【0006】 そこで、本発明の目的は、データパターンによる増幅速度の差に着目し、この増幅速度のデータパターン依存性を小さくして、センスアンプの増幅速度を向上させることができる半導体装置を提供するものである。

【0007】 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

**【0008】**

【課題を解決するための手段】 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0009】 すなわち、本発明による半導体装置は、複数のワード線と複数のデータ線とを含むメモリアレイと、このメモリアレイに隣接した複数のセンスアンプを含むセンスアンプブロックとを有し、センスアンプブロック内で、センスアンプの共通ソース線を分割するものである。

【0010】 この構成において、前記分割した共通ソ

ース線単位でCOMMONソースショート用スイッチMOSトランジスタや、COMMONソースプリチャージ用スイッチMOSトランジスタを配置したり、さらには分割したCOMMONソース線単位毎にセンスアンプオーバードライブ用スイッチMOSトランジスタを配置するようにしたものである。

【0011】具体的には、前記センスアンプブロック内に、センスアンプのN側COMMONソース線を第1の電圧にする第1のスイッチMOSトランジスタをセンスアンプ1つあるいは2～8つに1つずつ配置し、センスアンプのP側COMMONソース線に第2の電圧を供給する第2のスイッチMOSトランジスタをセンスアンプ1つあるいは2～8つに1つずつ配置し、N側およびP側COMMONソース線をセンスアンプドライバ単位で分割するようにしたものである。

【0012】この具体的な構成において、前記N側COMMONソース線と前記P側COMMONソース線とを等しい第3の電圧にするための第3のスイッチMOSトランジスタを接続し、前記第3の電圧は第1の電圧と第2の電圧との平均値であり、また前記第3のスイッチMOSトランジスタは、N側COMMONソース線とP側COMMONソース線とを短絡するためのスイッチからなり、あるいはN側COMMONソース線とP側COMMONソース線とを短絡するためのスイッチMOSトランジスタと、N側COMMONソース線とP側COMMONソース線とに所定の電位を与えるスイッチMOSトランジスタとからなるものである。

【0013】よって、前記半導体装置によれば、増幅速度のデータパターン依存性が小さくなり、増幅速度を向上させることができる。この結果、製品として、ロウアクセス時間を向上させることができる。これは、COMMONソース線をセンスドライバ単位で分割することによって、隣接するセンスアンプからの電流を低減あるいは無くし、センスアンプCOMMONソースレベルが“H”、“L”データに見合ったレベルとなり、増幅動作が同時に行われ、増幅速度が向上するためである。

【0014】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0015】（実施の形態1）図1は本発明の実施の形態1の半導体装置を示す機能ブロック図、図2は本実施の形態の半導体装置において、バンク部分を示す配置図と部分拡大図、図3はセンスアンプブロックを示す回路図、図4はセンスアンプを示す回路図、図5はセンスアンプの電源配線を示す説明図、図6はセンスアンプブロックの動作を示す波形図である。

【0016】まず、図1により、本実施の形態の半導体装置の構成の一例を説明する。本実施の形態の半導体装置は、たとえばSDRAM（Synchronous

DRAM）とされ、メモリアレイMA、ロウデコーダX-DEC、カラムデコーダY-DEC、ロウアドレスバッファXAB、カラムアドレスバッファYAB、入出力バッファI/OB、タイミング信号生成回路TG、電圧発生回路VGなどから構成され、特に制限されないが、公知の集積回路技術によって単結晶シリコンのような1個の半導体基板上に形成されている。

【0017】このSDRAMの各回路ブロックは、制御信号が入力されるタイミング信号生成回路TGで形成される内部制御信号のタイミングで動作する。タイミング信号生成回路TGに入力される制御信号には、クロック信号CLKのタイミングで入力される、チップ選択信号/CS、ロウアドレスストロブ信号/RAS、カラムアドレスストロブ信号/CAS、ライトイネーブル信号/WEなどがある。これらの制御信号とアドレス信号との組み合わせはコマンドと呼ばれる。クロックイネーブル信号CKEは、クロック信号CLKの有効無効を決定する。また、入出力マスク信号DQMは、入出力端子（DQ0～DQn）から入出力されるデータをマスクするために入出力バッファI/OBを制御するための信号である。

【0018】SDRAMでは、アドレス入力端子（A0～An）からロウアドレスやカラムアドレスが時分割に入力されるアドレスマルチ方式が採られる。ロウアドレスバッファXABに入力されたロウアドレスは、ロウデコーダX-DECで解読され1つのメモリアレイMA中の特定のワード線が選択され、それに応じて1ワード分のメモリセルが選択状態となる。引き続き、カラムアドレスがカラムアドレスバッファYABに入力されると、カラムデコーダY-DECにより、読み出しまたは書き込みを行うメモリセルがさらに選択される。なお、SDRAMは、通常、バンクアドレスで指定される複数のメモリアレイ（またはメモリバンク）を持つが、この図では1つのメモリアレイMA（BANK0）だけを代表的に示している。

【0019】図1で示した電圧発生回路VGで発生される内部電源系について、ここではVSS（0V）を基準としてVCC（たとえば2.5V）が外部から供給される単一電源方式が採られている。最も電位の高い内部電源は、VPP（たとえば3.0V）であり、チャージポンプ回路を含む昇圧回路により形成され、ワード線駆動回路などに供給される。VCL（たとえば2.5V=VCC）は、ロウアドレスバッファXAB、カラムアドレスバッファYAB、ロウデコーダX-DEC、カラムデコーダY-DEC、入出力バッファI/OBなどの周辺回路の動作電源である。VDL（たとえば1.5V）とVSSは、センスアンプに供給される電位である。VDLは、降圧回路（電圧リミッタ）により形成される。この実施の形態では、ハーフプリチャージ方式を採用するため、待機時のデータ線などに供給されるVDL/2

(たとえば0.75V)もVDLから形成される。VDL/2は、メモリセルのプレート電位としても用いられる。最後にVBB(たとえば-0.75V)は、NMOSトランジスタのバックゲート系の最低電位にバイアスするための基板電位であり、チャージポンプを含む昇圧回路により形成される。

【0020】次に、図2により、メモリアレイMAの内部を詳細に説明する。メモリアレイMAは、マトリクス状に配置されたサブメモリアレイSMAを含む。特に制限されないが、このメモリアレイMAは、階層ワード線方式を採り、メモリアレイMAの一辺にはメインワードドライバMWDが配置される。メインワードドライバMWDに接続されるメインワード線MWLは複数のサブメモリアレイSMA(ロウ方向:図2の上下方向)に渡って跨るように上層の金属配線層に設けられる。また、カラム方向の選択は、カラムデコーダY-DECから出力される複数のカラム選択線YSが複数のサブメモリアレイSMA(カラム方向:図2の左右方向)に渡って跨るように設けられる共通Yデコーダ方式が採られている。

【0021】各サブメモリアレイSMAは、図2(b)の部分拡大図に示すように、メモリセル領域MCA、センスアンプブロックSAB、サブワードドライバ領域SWDおよびクロスエリアXAに分割される。メモリセル領域MCAに対しては、それに隣接してカラム方向にセンスアンプブロックSABが、またロウ方向にサブワードドライバ領域SWDがそれぞれ各メモリセル領域MCAを囲むように配置され、このセンスアンプブロックSABとサブワードドライバ領域SWDとが交差する領域がクロスエリアXAとなる。

【0022】次に、図3および図4により、センスアンプブロックSABを詳細に説明する。各センスアンプブロックSABは、メモリセル領域MCAに隣接されている。このメモリセル領域MCA内で、データ線対D1t, D1b, ..., Dnt, Dnbは、メモリセル領域MCAにおいて複数のワード線WLと交差し、所定の交差点にはダイナミック形メモリセルMCが接続される。このメモリセルMCは、データを蓄積する1つのキャパシタおよび1つのMOSトランジスタ、ここではNMOSトランジスタから構成される。この実施の形態では、いわゆる2交点方式のデータ線とメモリセルMCの配置を例としているが、特に制限されず1交点方式でも適用できる。

【0023】サブワードドライバ領域SWDには、上記の複数のワード線WLのそれぞれに対して設けられた複数のサブワードドライバが設けられている。このサブワードドライバは、メインワード線MWLとFXドライバの制御信号との論理和により活性化される。FXドライバは、クロスエリアXA内に設けられるが、図3では省略している。階層ワード線方式ではなく、ワードシャント方式を採用する場合には、サブワードドライバ領域S

WD内にはサブワードドライバに代えて上層に設けられたアルミニウムなどの金属で形成された裏打ち用ワード線と下層ポリシリコン層のゲートと共通なワード線とを接続するスルーホールとコンタクトが設けられる。この場合、サブワードドライバ領域SWDはワードシャント領域と呼ぶ。

【0024】以下、センスアンプブロックSABの説明に移る。データ線対の一对(たとえばD1t, D1b)に対応して、左右のシェアドスイッチSHR、プリチャージ回路PC、センスアンプSA1、カラムスイッチIOGなどが設けられている。1つのメモリセル領域MCAのデータ線対の数としては、512対~2048対を想定している。従って、センスアンプブロックSAB内のセンスアンプSAの数としては256~1024個の配置となる。これは、センスアンプSAの交互配置構造のためにセンスアンプSAの数はデータ線対の数の半分となるためである。

【0025】シェアドスイッチSHRは、センスアンプSA1を左側と右側のメモリセル領域MCAで共用するための切替スイッチである。ここではシェアドスイッチはNMOSトランジスタとされ、データ線のプリチャージ期間には、そのゲート制御信号SHRLとSHRRは電源VPPあるいはVDLの電位とされる。たとえば、左側のメモリセル領域MCAにアクセスするときにはSHRL=VPP, SHRR=VDLとして片側だけNMOSトランジスタのしきい値電圧の低下なしに導通させる。プリチャージ回路PCはデータ線プリチャージ期間に制御信号PCSによってデータ線対にVDL/2を供給する。カラムスイッチIOGは、カラムデコーダY-DECのカラム選択信号YSによって選択されたデータ線対を共通出力線対IOt, IObと接続して外部とデータの入出力経路を形成するものである。

【0026】センスアンプSAは、2個のCMOSインバータが交差結合されたラッチ形の増幅回路である。すなわち、このセンスアンプSAは、特に図4に詳細に示すように、ソースが共通接続され、ゲートとドレインが互いに交差結合されたPMOSトランジスタ対と、同様に結合されたNMOSトランジスタ対を含み、PMOSトランジスタ対およびNMOSトランジスタ対のソースはそれぞれP側コモンソース線CSPおよびN側コモンソース線CSNに共通に接続される。

【0027】さらに、本実施の形態においては、P側コモンソース線CSPおよびN側コモンソース線CSNは、センスアンプSA1, ..., SAn毎にCSP1, ..., CSPn, CSN1, ..., CSNnと分割されている。すなわち、P側コモンソース線CSP\*(\*) (1~n)には、ソースが電源VDLにつながるPMOSトランジスタQDPのドレインが接続されている。このPMOSトランジスタQDPのゲートは制御信号SPにより制御される。また、N側コモンソース線C

SN\*には、ソースが電源VSSA(0V)につながるNMOSトランジスタQDNのドレインが接続されている。このNMOSトランジスタQDNのゲートは制御信号SNにより制御される。さらに、P側コモンソース線CSP\*とN側コモンソース線CSN\*間には、ショート用のNMOSトランジスタQPCが接続され、このNMOSトランジスタQPCは制御信号PCSによりゲート制御される。さらに、ショート用のNMOSトランジスタQPCに加えて、ハーフレベルを供給するプリチャージ用のMOSトランジスタを接続することができる。

【0028】次に、図5により、センスアンプSAに電源VDLとVSSAを供給する配線を説明する。電源VDLとVSSAは、この図に示す配線インピーダンスの低いメッシュ状電源配線により供給される。この図の縦方向の配線は、第2番目の金属(アルミニウムなど)配線層M2に形成されたものである。メモリセル領域MC Aでは、メインワード線MWLの間を縫うように、メインワード線MWLと並行して電源VDLとVSSAを供給する配線が設けられる。メインワード線MWLは、たとえば4本程度のワード線につき1本設けることを想定している。また、センスアンプブロックSABにも電源VDLとVSSAを供給する配線がメインワード線MWLと並行するように設けられる。

【0029】一方、横方向の配線は、第2金属配線層M2より上層の第3番目の金属配線層M3に形成されるものである。メモリセル領域MC AおよびセンスアンプブロックSABに跨るように、カラム選択線YSが設けられる。カラム選択線YSは、たとえば4対のデータ線につき1本設けられる。そして、カラム選択線YSの間を縫うように、カラム選択線YSと並行して電源VDLとVSSAを供給する配線が設けられる。第2金属配線層M2と第3金属配線層M3のVDDAとVSSAの電源配線はその交点において、M2とM3をつなぐスルーホールコンタクトTH2により接続される。以上の交差する第2金属配線層M2と第3金属配線層M3の電源配線とスルーホールTH2で結合するようにした電源VDLとVSSAのメッシュ状電源配線はインピーダンスが低いものとされる。

【0030】次に、本実施の形態の作用について、図6により、センスアンプブロックSABの動作を説明する。SDRAMでは、ロウアクティブコマンドが入力されると、特定のバンクの特定のワード線WLにつながるメモリセルMCが一斉にセンスアンプSAに読み出されて増幅される。その後、プリチャージコマンドが入力されると、メモリセルMCの選択を終了して、次の読み出しに備えた待ち状態であるプリチャージ状態にされる。図の波形は、ロウアクティブコマンドからプリチャージコマンドが投入されるまでの動作を示したものである。

【0031】データ線およびコモンソース線の制御信号PCSが立ち下がり、データ線およびコモンソース線の

電源VDL/2のプリチャージ停止後、複数のワード線のうち1つのワード線WLが選択され、電源VSSからVPPの電位レベルになる。それにより、選択されたメモリセルMCのNMOSトランジスタのゲートには電源VPPが印加されて活性化し、データを記憶しているキャパシタから蓄えられている電荷がメモリセルMCの接続されているデータ線D1t, ..., Dntに読み出される。メモリセルMCの電荷によってデータ線対には微小電圧差が生じ、メモリセルMCのデータが“H”の時にはD1tがD1bより100mV程度高いレベルになる。ここでは、メモリセルMCのキャパシタに“H”のデータが書き込まれていた場合を想定しているが、低レベル“L”が記憶されている場合でも電位が下がることを除けば同様である。

【0032】メモリセルMCのデータが完全に読み出された後の、センス開始時には、N側コモンソース駆動制御信号線SNを電源VSSからVDLのレベルにしてNMOSトランジスタQDNを活性化し、N側コモンソース線CSNを電源VDL/2からVSSAに駆動させる。これと同時にあるいは遅延段数分遅れてP側コモンソース駆動制御信号線SPを電源VPPからVSSにする。ことで、PMOSトランジスタQDPを活性化し、P側コモンソース線CSPを電源VDL/2からVDLに駆動させる。

【0033】このとき、データ線対には、メモリセルMCの電荷による微小電圧差が増幅され、高レベル側のデータ線D1tは電源VDLで開かれ、低レベル側のデータ線D1bは電源VSSAで開かれ、増幅された信号が読み出されて出力データとなる。この際の増幅動作は、センスアンプSA1, ..., SAn毎にP側コモンソース線CSP1, ..., CSPn、N側コモンソース線CSN1, ..., CSNnが分割されているので、センスアンプSA1, ..., SAn間でデータが異なる場合でも、コモンソース線のレベルがそれぞれのセンスアンプSA毎に決まるため、増幅動作が同時に行われる。

【0034】たとえば、データ線D1tで“L”のデータを、データ線Dntで“H”のデータをそれぞれ出力する場合に、データ線D1tに関するセンスアンプSA1のP側およびN側コモンソース線CSP1, CSN1のレベルが“L”データに見合ったレベルとなり、またデータ線Dntに関するセンスアンプSAnのP側およびN側コモンソース線CSPn, CSNnのレベルが“H”データに見合ったレベルとなるので、“H”データを増幅しているセンスアンプSAnからの電流が“L”データを増幅するセンスアンプSA1のセンスドライバに流れ込むことがないので、センスアンプSA1とセンスアンプSAnの間で増幅動作を同時に行うことができる。

【0035】なお、プリチャージコマンドが入った後の

動作については以下の通りである。選択ワード線WLが電源VPPからVSSになる。その後、N側COMMONソース駆動制御信号線SNを電源VDLからVSSにし、N側COMMONソース線CSNを電源VSSAから切り離す。また、ほぼ同時にP側COMMONソース駆動制御信号線SPを電源VSSからVPPにし、P側COMMONソース線CSPを電源VDLから切り離す。電源から切り離されたN側COMMONソース線CSN、P側COMMONソース線CSPおよびデータ線対D1t, D1b, ..., Dnt, Dnbはプリチャージ制御信号PCSにより電源VDL/2にプリチャージされる。

【0036】従って、本実施の形態によれば、P側およびN側COMMONソース線CSP\* (\*: 1~n), CSN\*をセンスドライバ単位で分割することにより、隣接するセンスアンプSA\*からの電流を低減あるいは無くし、各センスアンプSA\*のCOMMONソースレベルが“H”、“L”データに見合ったレベルとなり、各センスアンプSA\*で増幅動作が同時に行われるので増幅速度が向上する。よって、増幅速度のデータパターン依存性が小さくなり、増幅速度を向上させることができる。

【0037】(実施の形態2) 図7は本発明の実施の形態2の半導体装置において、センスアンプを示す回路図である。本実施の形態の半導体装置は、前記実施の形態1と同様にSDRAMとされ、メモリアレイMA、ロウデコーダX-DEC、カラムデコーダY-DEC、ロウアドレスバッファXAB、カラムアドレスバッファYAB、入出力バッファI/OB、タイミング信号生成回路TG、電圧発生回路VGなどから構成され、前記実施の形態1との相違点は、COMMONソース線のショート用MOSトランジスタを取り除いた回路構成とする点である。

【0038】すなわち、本実施の形態においては、図7に示すように、P側COMMONソース線CSPおよびN側COMMONソース線CSNはセンスアンプSA1, ..., SAn毎にCSP1, ..., CSPn, CSN1, ..., CSNnと分割されており、P側COMMONソース線CSP\* (\*: 1~n) およびN側COMMONソース線CSN\* にはそれぞれ、ソースが電源VDLにつながるPMOSトランジスタQDP、電源VSSAにつながるNMOSトランジスタQDNのドレインが接続され、各PMOSトランジスタQDP、NMOSトランジスタQDNのゲートは制御信号SP, SNにより制御されるだけの回路構成となっている。

【0039】従って、本実施の形態によれば、P側およびN側COMMONソース線CSP\* (\*: 1~n), CSN\*をセンスドライバ単位で分割し、ショート用MOSトランジスタを取り除いた回路構成とすることにより、前記実施の形態1と同様に、隣接するセンスアンプSA\*からの電流を低減あるいは無くし、各センスアンプSA\*のCOMMONソースレベルが“H”、“L”データに見合ったレベルとなり、各センスアンプSA\*で増幅動作が

同時に行われ、増幅速度を向上させることができるとともに、センスアンプSA\*のレイアウト面積を低減することができる。

【0040】(実施の形態3) 図8は本発明の実施の形態3の半導体装置において、センスアンプを示す回路図である。本実施の形態の半導体装置は、前記実施の形態1, 2と同様にSDRAMとされ、メモリアレイMA、ロウデコーダX-DEC、カラムデコーダY-DEC、ロウアドレスバッファXAB、カラムアドレスバッファYAB、入出力バッファI/OB、タイミング信号生成回路TG、電圧発生回路VGなどから構成され、前記実施の形態1, 2との相違点は、ショート用MOSトランジスタに加えて、さらにオーバードライブ用MOSトランジスタを配置した回路構成とする点である。

【0041】すなわち、本実施の形態においては、図8に示すように、P側COMMONソース線CSPおよびN側COMMONソース線CSNはセンスアンプSA1, ..., SAn毎にCSP1, ..., CSPn, CSN1, ..., CSNnと分割されており、P側COMMONソース線CSP\* (\*: 1~n) およびN側COMMONソース線CSN\* にはそれぞれ、ソースが電源VDLにつながるPMOSトランジスタQDP2、電源VSSAにつながるNMOSトランジスタQDNのドレインが接続され、各PMOSトランジスタQDP2、NMOSトランジスタQDNのゲートは制御信号SP2, SNにより制御され、またP側COMMONソース線CSP\* とN側COMMONソース線CSN\* 間にはショート用のNMOSトランジスタQPCが接続され、このNMOSトランジスタは制御信号PCSによりゲート制御される。

【0042】さらに、P側COMMONソース線CSP\* には、オーバードライブ用のPMOSトランジスタQDP1が接続されている。このオーバードライブ用のPMOSトランジスタQDP1は、ソースが電源VDDA (たとえば2.5V) につながり、ドレインがP側COMMONソース線CSP\* に接続され、制御信号SP1によりゲート制御される。よって、メモリセルMCの電荷による微小電圧差が増幅される際に、高レベル側のデータ線は電源VDLに比べて高い電源VDDAで開かれ、より速く増幅された信号が読み出されて出力データとなる。この電源VDDAも、前記図5と同様にインピーダンスが低いメッシュ状電源配線とされる。

【0043】従って、本実施の形態によれば、P側およびN側COMMONソース線CSP\* (\*: 1~n), CSN\*をセンスドライバ単位で分割し、ショート用のNMOSトランジスタに加えてオーバードライブ用のPMOSトランジスタQDP1を接続した回路構成とすることにより、前記実施の形態1と同様に、隣接するセンスアンプSA\*からの電流を低減あるいは無くし、各センスアンプSA\*のCOMMONソースレベルが“H”、“L”データに見合ったレベルとなり、各センスアンプSA\*で増

幅動作が同時に行われ、増幅速度を向上させることができるとともに、オーバードライブ動作が実現でき、低電圧においても高速に増幅動作を行うことができる。

【0044】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0045】たとえば、前記実施の形態においては、コモンソース線が1つのセンスアンプ毎に分割されている例を説明したが、これに限定されるものではなく、2つ、4つあるいは8つのセンスアンプ毎にコモンソース線を分割するように構成することも可能である。

【0046】以上の説明では、主として本発明者によってなされた発明をその属する技術分野であるSDRAMに適用した場合について説明したが、これに限定されるものではなく、たとえばRDRAM(Rambus DRAM)、SLDRAM(Synclink DRAM)などを含むDRAM全般、さらにはロジック混載メモリなどにも適用することができる。

#### 【0047】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0048】(1)複数のセンスアンプを含むセンスアンプブロック内で、センスアンプのコモンソース線が分割されていることで、隣接するセンスアンプからの電流を低減あるいは無くし、各センスアンプのコモンソースレベルが“H”、“L”データに見合ったレベルとなるので、増幅動作を同時に行って増幅速度を向上させることが可能となる。

【0049】(2)分割したコモンソース線単位でコモンソースショート用スイッチMOSトランジスタを配置することで、各センスアンプのP側コモンソース線とN側コモンソース線を等しい電圧にすることが可能となる。

【0050】(3)分割したコモンソース線単位でコモンソースプリチャージ用スイッチMOSトランジスタを配置することで、各センスアンプのコモンソース線にハーフレベルのプリチャージ電圧を供給することが可能となる。

【0051】(4)分割したコモンソース線単位毎にセンスアンプオーバードライブ用スイッチMOSトランジスタを配置することで、各センスアンプのオーバードライブ動作を実現することができるので、低電圧においても高速に増幅動作を行うことが可能となる。

【0052】(5)前記(1)～(4)により、増幅速度のデータパターン依存性が小さくなり、増幅速度を向上させることができるので、この結果、メモリのロウア

クセス時間を向上させることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の実施の形態1の半導体装置を示す機能ブロック図である。

【図2】(a)、(b)は本発明の実施の形態1の半導体装置において、バンク部分を示す配置図と部分拡大図である。

【図3】本発明の実施の形態1の半導体装置において、センスアンプブロックを示す回路図である。

【図4】本発明の実施の形態1の半導体装置において、センスアンプを示す回路図である。

【図5】本発明の実施の形態1の半導体装置において、センスアンプの電源配線を示す説明図である。

【図6】本発明の実施の形態1の半導体装置において、センスアンプブロックの動作を示す波形図である。

【図7】本発明の実施の形態2の半導体装置において、センスアンプを示す回路図である。

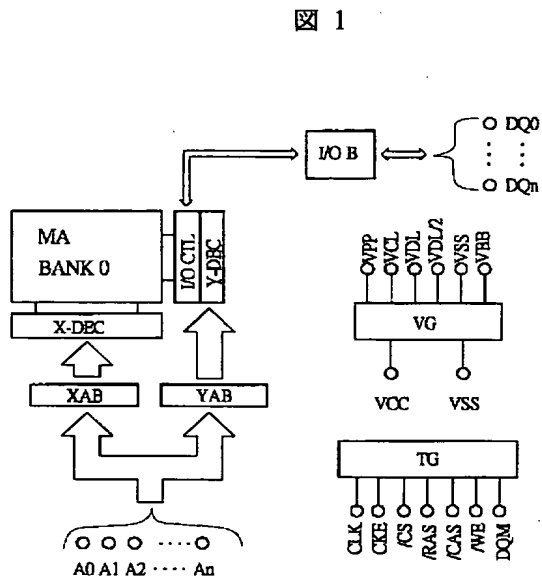
【図8】本発明の実施の形態3の半導体装置において、センスアンプを示す回路図である。

#### 【符号の説明】

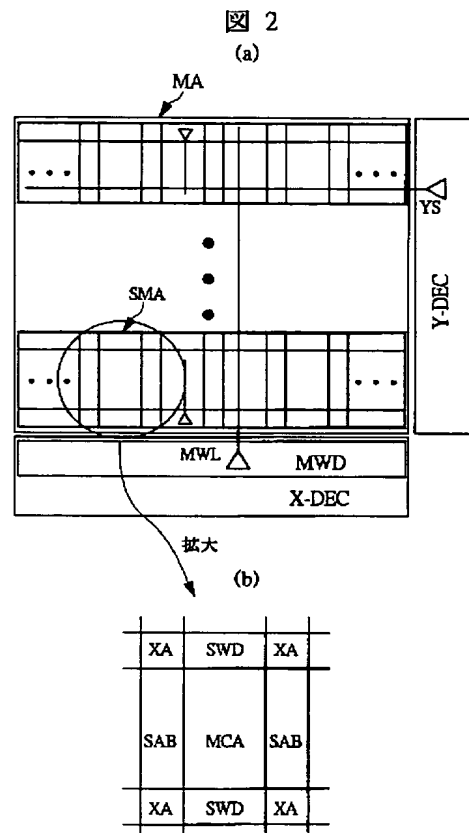
MA メモリアレイ  
X-DEC ロウデコーダ  
Y-DEC カラムデコーダ  
XAB ロウアドレスバッファ  
YAB カラムアドレスバッファ  
I/OB 入出力バッファ  
TG タイミング信号生成回路  
VG 電圧発生回路  
SMA サブメモリアレイ  
MWD メインワードドライバ  
MWL メインワード線  
YS カラム選択線  
MCA メモリセル領域  
SAB センスアンプブロック  
SWD サブワードドライバ領域  
XA クロスエリア  
D1t, D1b, ..., Dnt, Dnb データ線対  
WL ワード線  
MC メモリセル  
SHR シェアードスイッチ  
PC プリチャージ回路  
SA1, ..., SAn センスアンプ  
IOG カラムスイッチ  
CSP1, ..., CSPn P側コモンソース線  
CSN1, ..., CSNn N側コモンソース線  
QDP, QDP1, QDP2 PMOSトランジスタ  
QDN NMOSトランジスタ  
QPC NMOSトランジスタ



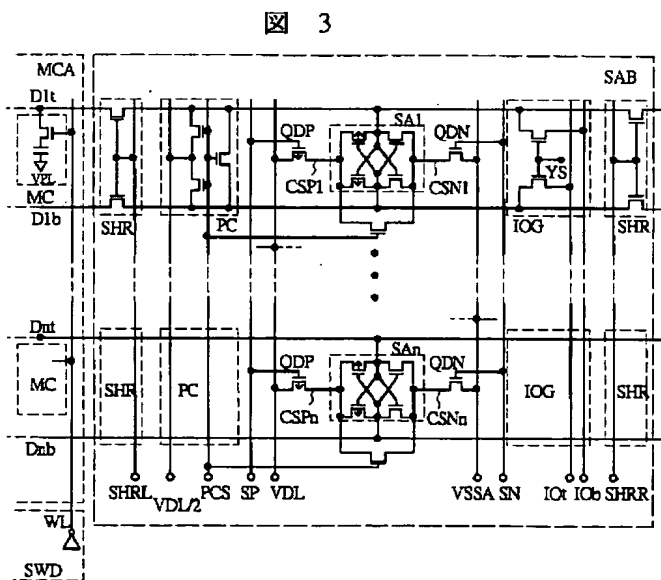
【図 1】



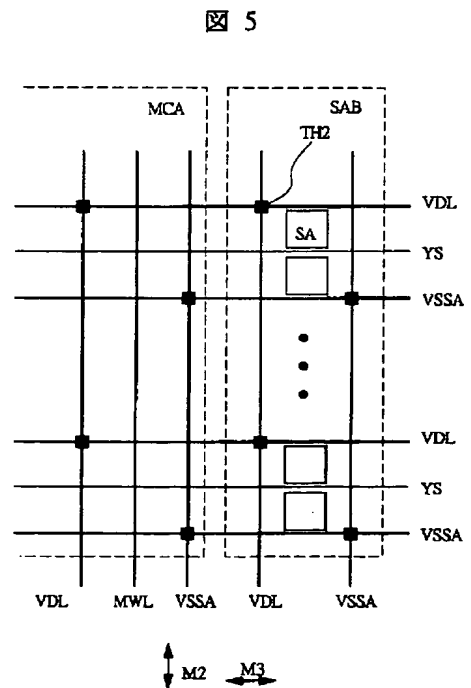
【図 2】



【図 3】

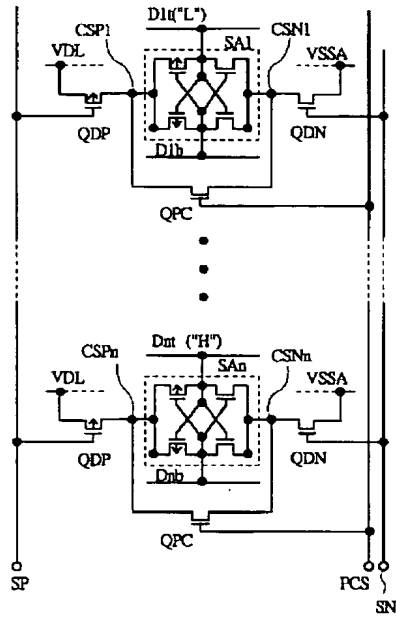


【図 5】



【図4】

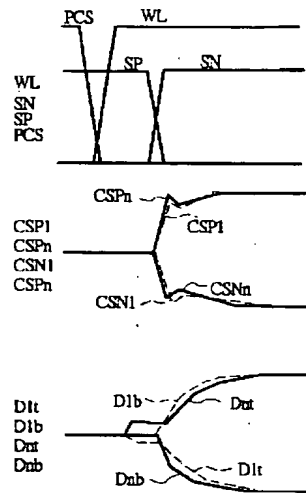
図4



CSP1~n: P側コモンソース線  
CSN1~n: N側コモンソース線  
SA1~n: センスアンプ

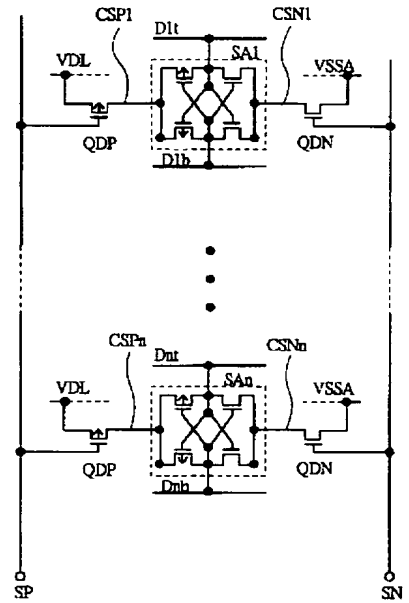
【図6】

図6



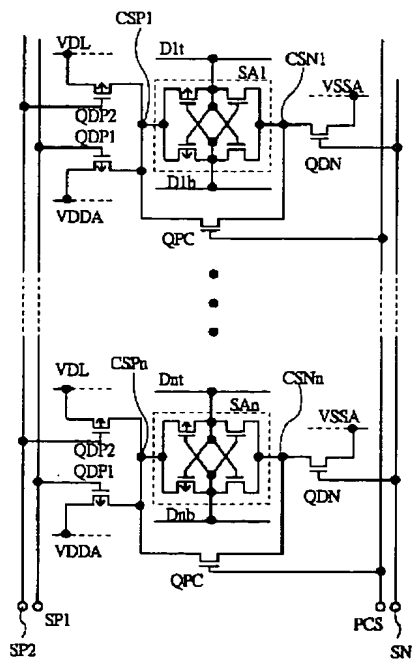
【図7】

図7



【図8】

図8



フロントページの続き

(72)発明者 関口 知紀

東京都国分寺市東恋ヶ窪一丁目280番地

株式会社日立製作所中央研究所内

F ターム(参考) 5B024 AA15 BA07 BA09 CA07 CA21